

2010.04.28 更新

正 誤 表

「図解 Verilog HDL 実習」

この度は森北出版発行の書籍をお買い求めいただき誠にありがとうございました。
標記の書籍に誤りのある箇所がございましたので訂正させていただきます。

※この正誤表は第1刷発行から第2刷発行後までの間に確認できました誤りを掲載しています。正誤情報は表内の対応刷数の次の印刷時に修正されています。お持ちの本の刷数をお調べになり、その刷数以降の正誤情報(1刷をお持ちの方は対応刷数1以降すべて、2刷をお持ちの方は2以降すべて)をご参照下さい。

刷数の調べ方

本の一番後ろのページ、または後ろにある広告の前のページに著者略歴や発行年度などを記したページがございます。そのページに記載されている発行年度で一番下に記載されている最も新しい年度のものがお客様のお持ちの本の刷数となります。

[例]

著者略歴
森北 太郎 (もりきた・たろう)
1980年 森北工業大学大学院博士後期課程修了
1995年 森北工業大学教授
現在に至る

はじめて学が〇〇工学 © 森北太郎 2001
2000年9月26日 第1版第1刷発行 【本書の無断転載を禁ず】
2003年1月15日 第1版第3刷発行

著者 森北太郎
発行者 森北 肇
発行所 森北出版株式会社
東京都千代田区富士見1-4-11 (〒102-0071)
電話 03-3265-8341 / FAX 03-3264-8709
http://www.morikita.co.jp/
自然科学書協会・工学書協会 会員
四〇〇 <日本著作出版権管理システム委託出版物>
落丁・乱丁本はお取替え致します。 印刷/××印刷・製本/△△製本

Printed in Japan / ISBN 4-827-12845-6

刷数はこちらでご確認
ください

< 図解 Verilog HDL 実習 (2006年12月15日 第1版1刷発行) >

履歴

2009.6.14 : 正誤表 1_1 を作成

2009.6.24 : 正誤表 1_2 を作成

2010.4.28 : 正誤表 1_3 を作成 (p.73 についての修正を追加)

・ 正誤表 1_3

ページ	該当箇所	修正前	修正後
69	図 3.13 右側 F2,F1 の並び順	F0 F2 F1 F3	F0 F1 F2 F3
71	図 3.18	代入先信号名 = 代入先信号名	代入先信号名 = 代入元信号名
73	下から 8 行目～	Verilog HDL において, シーケンシャルな処理を～使用します.	< 削除 >
	下から 2 行目～	～複数の assign 文を記述した場合には, ノン・ブロッキング文として動作しますので注意してください.	～複数の assign 文を記述した場合には, それらがノン・ブロッキング文として同時に動作しますので注意してください.
75	図 3.20 最下位の行	end process	endfunction
78	下から 3 行目	S が 0 のときは	S が 1 のときは
89	表 3.15	出力 S	出力 D
99	リスト 3.28 3 行目	① B ;	② B ;
110	表 4.4 出力ピン番号	50	61
115	表 4.7 Q_NOT の備考	LED3 の g	LED4 の g
112	リスト 4.7 タイトル	クロック端子付き RS-FF のコード	クロック端子付き JK-FF のコード
134	表 4.12 出力	CE 61	CE 40
141	リスト 5.1 1 行目	module list1(A,B,C,X,Y,Q);	module list1(A,B,C,Y,Z,Q);
	リスト 5.1 1 行目	接続語の入出力端子	接続後の入出力端子

	リスト 5.1 5行目	input X ;	input Y ;
	リスト 5.1 6行目	input Y ;	input Z ;
212	付表 1 下から 4行目	when(信号の値 1	when 信号の値 1
	付表 1 下から 3行目	when(信号の値 2	when 信号の値 2
218	リスト 3.29 上から 4行目	function[3:0]COMP ;	function COMP ;