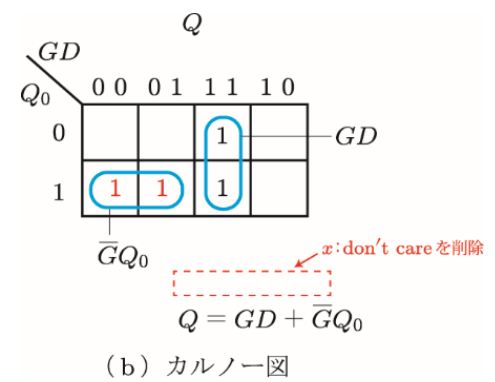
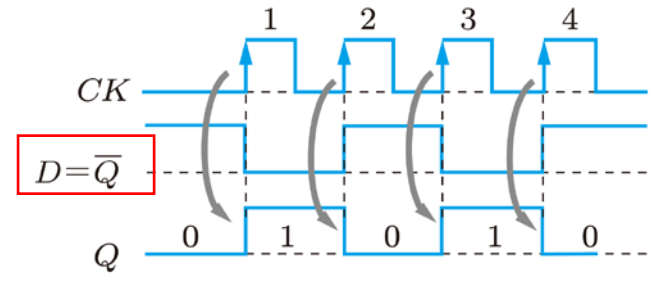


## 8284 基礎からわかる論理回路(第2版) 正誤表

本書の内容に以下の誤りがございました。お詫びして訂正いたします。

お手持ちの本の「刷数」とこの表の「該当刷数」が一致する箇所をご参照ください。お手持ちの本の「刷数」の調べ方は[こちら](#)

(2023年10月31日更新)

該当刷数	頁	行数など	誤	正
1	11	例題 2.1 1 行目	…基本的な回路を…	…基本的な <b>スイッチ</b> 回路を…
1	30	例題 3.12 1 行目	$Y = (A + B)(\bar{A} + \bar{B})$ の真理値表を作成せよ.	$Y = (A + B)(\bar{A} + \bar{B})$ の <b>論理式を積和の形に変換し</b> , 真理値表を作成せよ.
1,2	61	図 6.3(a)	(a) NAND 論理機能記号の OR 論理機能記号変換	(a) AND 論理機能記号の OR 論理機能記号変換
1,2	104	図 9.21(b)	右のように修正	 <p>(b) カルノー図</p>
1	128	図 10.3(b)	右のように修正 ( $D = \bar{Q}$ の追加)	
1,2	130	例題 10.2 1 行目	…すべての FF が CLR 回路…	…すべての FF が <b>クリア</b> 回路…

該当刷数	頁	行数など	誤	正
1,2	131	例題 10.2 解 ④	④図 10.7 (a) の CLR 回路付…	④図 10.7 (a) のクリア回路付…
1,2	131	例題 10.2 解 ⑤	図 (b) に $CK$ に対する出力のタイムチャートを示す. $CK = 4$ で $Q_C = 1$ となり, 次に $CK = 5$ を計数して $Q_A = 1$ になった瞬間に AND ゲートの出力が 1, または CLR 信号が入力されたとき, 次段の NOR ゲートの出力が $Y = 0$ となり, 全 FF を初期状態にクリアする.	図 (b) に $CK$ に対する出力のタイムチャートを示す. CLR 信号で $Y = 0$ を出力して全 FF を初期状態 (0 0 0) にクリアした後, カウンタは $CK$ で駆動される. $CK = 4$ で $Q_C = 1$ となり, 次に $CK = 5$ を計数して $Q_A = 1$ になった瞬間にこれらを入力とする AND ゲートの出力が 1 になり $Y = 0$ を入力する. これにより, 全 FF がクリアされカウンタは初期状態に戻る.
1,2	131	図 10.7(b)	右のように修正	<p>The diagram shows a clock signal CK with five pulses labeled 1 through 5. The CLR signal is a single pulse at the start. The outputs QA, QB, and QC are square waves that toggle on each clock edge. The output Y is a square wave that is high for most of the clock cycle but has a sharp negative-going spike (a glitch) at the fifth clock edge. This spike is enclosed in a red box and labeled 'ハザードの発生' (hazard occurrence).</p>
1,2	132	例題 10.3 1 行目	強制的に CLR 回路で…	強制的にクリア回路で…
1,2	133	下から 3 行目	…強制的に CLR 回路で…	…強制的にクリア回路で…

該当刷数	頁	行数など	誤	正
1	151	図 11.8(a)	右のように修正	
1,2	151	図 11.8(b)	(図の左側) $PR_A$	$PR$
1	151	図 11.8 の次の行	すべての FF を 0 にクリアした後, $FF_A$ のみ…	すべての FF を 0 にクリアした後, $CLR = 1$ にする. その後, $FF_A$ のみ…
1	151	下から 5~4 行目	$K_A = Q_C = 1$ である. ただし, $PR = 0$ . …	$K_A = Q_C = 0$ である. ただし, $PR = 1$ . …
1	152	下から 6~5 行目	ため, 初期状態を CLR 機能で (000) にクリアするか, PS 機能で (111) にセットしてから, $CK$ で駆動する. CLR 機能や PS 機能…	ため, 出力の初期値を CLR 機能で (000) にクリアするか, PR 機能で (111) にセットした後, $CK$ で駆動する. ただし, 初期設定をした後は $CLR = 1$ , $PR = 1$ にする. CLR 機能や PR 機能…
1	152	最下行	ただし, $PR = 1$ , …	ただし, (101) にセットした後, $PR = 1$ , …
1	172	9.10	9.3.1 項(a),(c) 本文参照	9.3.1 項(1),(3) 本文参照
1	172	9.11	9.3.1 項(a) 本文参照	9.3.1 項(1), 本文参照
1	179	さくいん	4 ビット加減器 85	4 ビット加減算器 84
1	179	さくいん	asynchronous counter 129	asynchronous counter 127
1	180	さくいん	synchronous counter 129	synchronous counter 127
1	181	さくいん	加算減算器 84	加減算器 83, 84

該当刷数	頁	行数など	誤	正
1	181	さくいん	グループ化 <i>35, 42</i>	グループ化 <i>36, 42</i>
1	181	さくいん	スイッチ回路 <i>10</i>	スイッチ回路 <i>11</i>
1	181	さくいん	同期型 SR ラッチ <i>102</i>	同期型 SR ラッチ <i>101</i>
1	181	さくいん	同期式カウンタ <i>129, 135</i>	同期式カウンタ <i>135</i>