

正誤情報

このたびは森北出版株式会社発行の書籍をお買い求めいただき、誠にありがとうございました。下記の書籍につきまして誤りのある箇所がございましたので、お詫びし訂正させていただきます。

2021年6月17日 森北出版株式会社 生産マネジメント部

タイトル

基礎から学ぶコンピュータアーキテクチャ

正誤対象

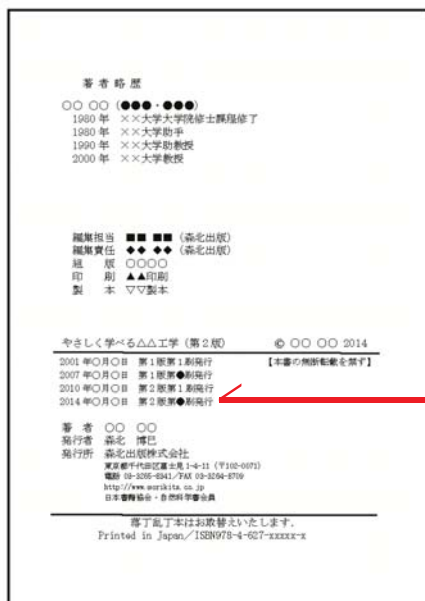
お手持ちの書籍の刷数をお調べのうえ、下の表をご覧ください。正誤表内の一番左に「対応刷数」という列がございます。該当する刷数の訂正情報をご参照下さい。

なお、刷数につきましては下記「刷数の調べ方」をご参照ください。

お持ちの本の刷数				
1	対応刷数	1	より	5 までをご参照ください
2	対応刷数	2	より	5 までをご参照ください
3, 4	対応刷数	4	より	5 までをご参照ください
5	対応刷数	5	を	ご参照ください
それ以降	現在把握している訂正情報はございません			

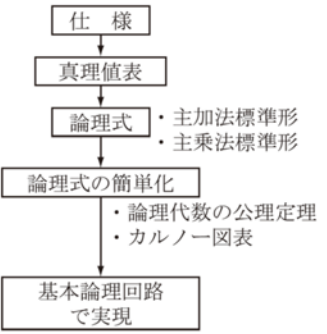
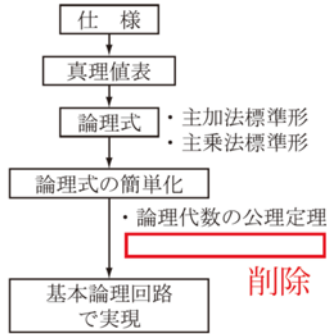
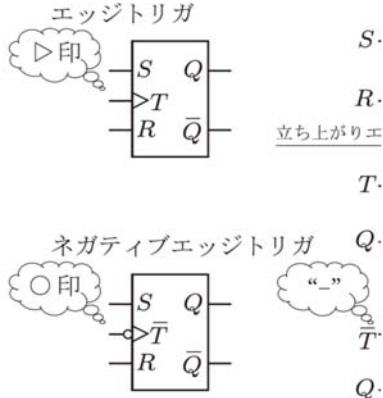
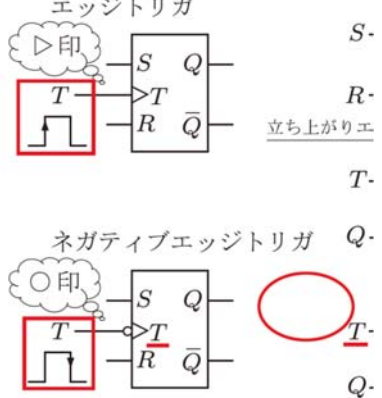
刷数の調べ方

本の一番後ろのページ(広告等除く)に下図のようなページがございます。ご参照いただき、お持ちの本の刷数をお調べください。



日付の最も新しい行に記載された数字がお持ちの本の刷数となります

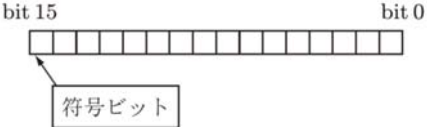

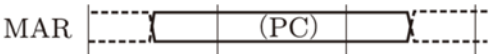
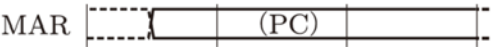
対応刷数	頁	行数, 図・表・式番号	誤	正
4	21	式(2.12)	$d_k = a_{k-1} - a_k \quad (k = 0, 2, \dots, n)$	$d_k = a_{k-1} - a_k \quad (k = 0, \underline{1}, 2, \dots, n)$
4	25	下から7行目	… $r = 2$, <u>IMB</u> 方式は $r = 16$ で…	… $r = 2$, <u>IBM</u> 方式は $r = 16$ で…
4	31	表 2.5	(下位 4bit の 2 の行-上位 3bit の 0 の列) <u>SXT</u>	<u>STX</u>
4	32	1 行目	… <u>IMB</u> で作られた…	… <u>IBM</u> で作られた…
4	32	9 行目	■ <u>水平</u> パリティ	■ <u>垂直</u> パリティ
4	32	10 行目	…ASCII コードに, <u>水平</u> パリティビットを…	…ASCII コードに, <u>垂直</u> パリティビットを…
4	32	図 2.10 キャプション	図 2.10 <u>水平</u> パリティ	図 2.10 <u>垂直</u> パリティ
4	32	下から2行目	<u>水平</u> パリティだけでは…	<u>垂直</u> パリティだけでは…
4	33	図 2.11	<u>水平</u> パリティビット <u>垂直</u> パリティビット	<u>垂直</u> パリティビット <u>水平</u> パリティビット
4	33	2 行目	… <u>水平</u> パリティに <u>垂直</u> パリティを加えれば…	… <u>水平</u> パリティを加えれば…
1	34	9 行目	いずれも ISO で定められた	いずれも <u>SI 単位系</u> の
1	34	11 行目	なお, ISO 接頭語では,	なお, <u>SI 接頭語</u> では,
1	50	図 3.8(b)	<p>(b) $f = \overline{B}D + ABC\overline{C} + A\overline{C}\overline{D} + \overline{A}BCD$</p>	<p>(b) $f = \overline{B}D + ABC\overline{C} + \overline{A}BCD$</p>

1	59	図 4.13		
1	59	4~8行目	<p>② 真理値表から論理式を求める。</p> <ul style="list-style-type: none"> 主加法標準形 (または, 主乘法標準形) <p>③ 得られた論理式を簡単化する。</p> <ul style="list-style-type: none"> 論理代数の公理と定理 カルノー図表 	<p>② 真理値表から論理式を求める。</p> <ul style="list-style-type: none"> 主加法標準形 (または, 主乘法標準形) <u>(・カルノー図表: ④へ)</u> <p>③ 得られた論理式を簡単化する。</p> <ul style="list-style-type: none"> 論理代数の公理と定理
1	60	4~5行目	これらを基本論理回路で表現すると,	これらを論理回路で表現すると,
1	61	図 4.18(a)	(a) 基本論理回路による構成	(a) 回路構成
1	63	図 4.21(a)	(a) 基本論理回路による構成	(a) 回路構成
1	68	7行目	また, 信号名にアッパーライン “ $\bar{\quad}$ ” が	また, 信号にエッジ波形が
1	68	下から3行目	入力される信号は負論理で, 表 4.6 (a) のように	入力される信号は, 表 4.6 (a) のように
1	68	図 4.30 左側		

1	71	4行目	クロックパルス \overline{CLK} の	クロックパルス \underline{CLK} の
1	71	下から 2行目	クロックパルス \overline{CLK} に対して出力は	クロックパルス \underline{CLK} に対して出力は
1	71	図 4.36	<p>(a) 回路構成</p> <p>(b) タイミングチャート</p>	<p>(a) 回路構成</p> <p>(b) タイミングチャート</p>
1	72	図 4.37	<p>(a) 回路構成</p> <p>(b) タイミングチャート</p>	<p>(a) 回路構成</p> <p>(b) タイミングチャート</p>
1	72	4~7行目	<p>がりなので、Q_0とQ_1の両方が1で、クロックパルス \overline{CLK} の立ち下がりエッジで状態遷移する。よって、Q_0、Q_1、および、\overline{CLK} を入力とする AND 回路の出力をトリガ入力に選べば、\overline{CLK} の立ち下がりエッジに同期して Q_2 は状態遷移する。同じ理由で、Q_1 も \overline{CLK} の立ち下がりエッジで状態遷移する。</p>	<p>がりなので、Q_0とQ_1の両方が1で、クロックパルス \underline{CLK} の立ち下がりエッジで状態遷移する。よって、Q_0、Q_1、および、\underline{CLK} を入力とする AND 回路の出力をトリガ入力に選べば、\underline{CLK} の立ち下がりエッジに同期して Q_2 は状態遷移する。同じ理由で、Q_1 も \underline{CLK} の立ち下がりエッジで状態遷移する。</p>
1	72	下から 3行目	\overline{CLK} の立ち下がり	\underline{CLK} の立ち下がり

1	73	図 4.38	<p>(a) レジスタの入出力</p> <p>(b) シフト動作</p>	<p>(a) レジスタの入出力</p> <p>(b) シフト動作</p>
1	73	図 4.39	<p>(a) 回路構成</p> <p>(b) タイミングチャート</p>	<p>(a) 回路構成</p> <p>(b) タイミングチャート</p>

1	74	図 4.40		
1	75	下から 2行目	負論理で動作する信号には,	<u>L状態</u> で動作する信号には,
1	81	下から 8行目	$\overline{Add}=0$ のとき $S_i = A_i + B_i$ を, $Sub/\overline{Add}=1$ のとき $S_i = A_i + \overline{B}_i$ を出力する.	$\overline{Add}=0$ のとき <u>B_i</u> を, $Sub/\overline{Add}=1$ のとき <u>\overline{B}_i</u> を加算する.
4	89	6行目	…正/負の符号ビットが変化しないようにシフト…	…正/負の符号が変化しないように, <u>符号ビットを除いてシフト</u> …
4	89	10~11行目	<u>一般に</u> … (図 5.10).	<u>COMET II の算術シフト演算では, シフト操作によって空いたビットには次のような値が埋め込まれる</u> (図 5.10).
4	89	12~13行目	① 算術右シフトでは, <u>…埋め込まれる.</u>	① 算術右シフト: <u>シフト前の符号ビットと同じ値</u>
4	89	14~15行目	② 算術左シフトでは, <u>…させない.</u>	② 算術左シフト: <u>0</u>
4	91	式(5.8)	$OF = \overline{A}_{15} \overline{B}_{15} S_{15} + A_{15} B_{15} \overline{S}_{15}$	$OF = \overline{A}_{15} \overline{B'_{15}} S_{15} + A_{15} B'_{15} \overline{S}_{15}$
4	91	式(5.8) の下に 追加	(右の文を追加する)	ただし, 式(5.7) (5.8)の各変数は, 図 5.8 の最上位 FA の入出力とし, 加算の場合は $B'_{15} = B_{15}$, 減算では $B'_{15} = \overline{B}_{15}$ である.
4	91	下から2行目 行頭に追加	すべての加減算は, …	<u>式(5.1)に従い, 減算を加算に置き換えるなら,</u> すべての加減算は, …
4	92	下から 4~3行目	…以上を C_{16}, C_{15} で表現すると式(5.7)を得る. <u>式(5.8)の S_{15} は,</u> <u>FA の出力で, ALU 出力 Y_{15} と同じである.</u>	…以上, C_{16}, C_{15} が相異なるとき <u>OF=1</u> , それ以外は <u>0 となるので式(5.7)を得る.</u>

4	93	例題 5.5 解答の 3~4 行目	①正数どうし ($A_{15} = 0, B_{15} = 0$) $\rightarrow C_{15} = 1$ ②負数どうし ($A_{15} = 1, B_{15} = 1$) $\rightarrow C_{15} = 0$	①正数どうし ($A_{15} = 0, B'_{15} = 0$) $\rightarrow S_{15} = 1$ ②負数どうし ($A_{15} = 1, B'_{15} = 1$) $\rightarrow S_{15} = 0$
4	93	表 5.7 の 1 行目	A_{15} B_{15} S_{15} OF	A_{15} B'_{15} S_{15} OF
1	98	図 6.1		
1	129	2 行目	②スタック領域の最上段に PC の内容が格納される。	② <u>(SP) 番地</u> に PC の内容が格納される。
1	129	下から 3 行目	スタック領域の最上段に退避される。	<u>(SP) 番地</u> に退避される。
1	130	2 行目	①スタック最上段の内容を PC にロードして、	① <u>(SP) 番地</u> 内容を PC にロードして、
2	130	6 行目	…オーバーフローしない…	…オーバーしない…
1	131	下から 2 行目	SP の内容が +1 され、	SP の内容が <u>-1</u> され、
1	148	図 7.6	(図中央部) 	
1	154	下から 5~2 行目	① FR の値から、非分岐と判定されたときは、次命令のフェッチサイクルに移行する。分岐と判定されたときは、次の②、③が実行される。 ② レジスタ・メモリ間操作命令と同じ動作によって、プログラムメモリから adr を取り込み、実効アドレス EA を計算する。	① レジスタ・メモリ間操作命令と同じ動作によって、プログラムメモリから adr を取り込み、実効アドレス EA を計算する。 ② FR の値から、非分岐と判定されたときは、次命令のフェッチサイクルに移行する。分岐と判定されたときは、次の③が実行される。

1	155		
1	178	7行目 算術加減算を実行する.	算術加算を実行する.
5	178	5.② 右のように修正	<p>② 論理減算では $C=0$ がオーバーフローの判定条件となる.</p> <p>[参考]</p> <p>仮想的な符号ビット</p> $ \begin{array}{r} C \quad C_{15} \quad C_{14} \quad C_{14} \dots C_1 \\ 0 \quad A_{15} \quad A_{14} \quad A_{14} \dots A_1 \quad A_0 \quad A_{16}=0, B_{16}=0 \text{ を追加} \\ \boxed{1} \quad \bar{B}_{15} \quad \bar{B}_{14} \quad \bar{B}_{14} \dots \bar{B}_1 \quad \bar{B}_0 \\ +) \hspace{10em} 1 \\ \hline \boxed{1} \dots \end{array} $ <p>$C=0$ のとき符号ビット = $1 \rightarrow (A)_{16} < (B)_{16}$ なので オーバーフロー発生</p>