

# 図解 PIC マイコン実習(第2版) 正誤表

本書の内容に以下の誤りがございました。お詫びして訂正いたします。

お手持ちの本の「刷数」とこの表の「該当刷数」が一致する箇所をご参照ください。お手持ちの本の「刷数」の調べ方は[こちら](#)

(2022年10月25日更新)

該当刷数	頁	行数など	誤	正																																																																																																																																																																																																																																																																														
1,2,3,4,5	5	表 1.1	(型番の行-1976の列) 8085 6809 Z80	8085 Z80																																																																																																																																																																																																																																																																														
1,2,3,4,5,6	28	表 2.3	<table border="1"> <thead> <tr> <th>アドレス</th> <th>名称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td colspan="10">バンク 0</td> </tr> <tr> <td>00H</td> <td>INDF</td> <td colspan="8">FSRの内容のアドレスのデータメモリ (物理的には存在しない)</td> </tr> <tr> <td>01H</td> <td>TMRO</td> <td colspan="8">8ビットリアルタイム・クロック/カウンタ</td> </tr> <tr> <td>02H</td> <td>PCL</td> <td colspan="8">PCの下部8ビット</td> </tr> <tr> <td>03H</td> <td>STATUS</td> <td>IRP</td> <td>RP1</td> <td>RP0</td> <td>T0</td> <td>PD</td> <td>Z</td> <td>DC</td> <td>C</td> </tr> <tr> <td>04H</td> <td>FSR</td> <td colspan="8">間接データメモリアドレスポインタ</td> </tr> <tr> <td>05H</td> <td>PORTA</td> <td>-</td> <td>-</td> <td>-</td> <td>RA4/ TOCKI</td> <td>RA3</td> <td>RA2</td> <td>RA1</td> <td>RA0</td> </tr> <tr> <td>06H</td> <td>PORTB</td> <td>RB7</td> <td>RB6</td> <td>RB5</td> <td>RB4</td> <td>RB3</td> <td>RB2</td> <td>RB1</td> <td>RB0/INT</td> </tr> <tr> <td>07H</td> <td></td> <td colspan="8">使用しない、「0」としてリードされる</td> </tr> <tr> <td>08H</td> <td>EEDATA</td> <td colspan="8">EEPROM データレジスタ</td> </tr> <tr> <td>09H</td> <td>EEADR</td> <td colspan="8">EEPROM アドレスレジスタ</td> </tr> <tr> <td>0AH</td> <td>PCLATH</td> <td>-</td> <td>-</td> <td>-</td> <td colspan="5">PCの上位5ビット</td> </tr> <tr> <td>0BH</td> <td>INTCON</td> <td>GIE</td> <td>EEIE</td> <td>TOIE</td> <td>INTE</td> <td>RBIE</td> <td>TOIF</td> <td>INTF</td> <td>RBIF</td> </tr> <tr> <td colspan="10">バンク 1</td> </tr> <tr> <td>80H</td> <td>INDF</td> <td colspan="8">FSRの内容のアドレスのデータメモリ (物理的には存在しない)</td> </tr> <tr> <td>81H</td> <td>OPTION_ REG</td> <td>RBP0</td> <td>INTEDG</td> <td>TOCS</td> <td>TOSE</td> <td>PSA</td> <td>PS2</td> <td>PS1</td> <td>PS0</td> </tr> <tr> <td>82H</td> <td>PCL</td> <td colspan="8">PCの下部8ビット</td> </tr> <tr> <td>83H</td> <td>STATUS</td> <td>IRP</td> <td>RP1</td> <td>RP0</td> <td>T0</td> <td>PD</td> <td>Z</td> <td>DC</td> <td>C</td> </tr> <tr> <td>84H</td> <td>FSR</td> <td colspan="8">間接データメモリアドレスポインタ</td> </tr> <tr> <td>85H</td> <td>TRISA</td> <td>-</td> <td>-</td> <td>-</td> <td colspan="5">PORTA データ入出力設定レジスタ</td> </tr> <tr> <td>86H</td> <td>TRISB</td> <td colspan="8">PORTB データ入出力設定レジスタ</td> </tr> <tr> <td>87H</td> <td></td> <td colspan="8">使用しない、「0」としてリードされる</td> </tr> <tr> <td>88H</td> <td>ECON1</td> <td>-</td> <td>-</td> <td>-</td> <td>EEIF</td> <td>WRERR</td> <td>WREN</td> <td>WR</td> <td>RD</td> </tr> <tr> <td>89H</td> <td>ECON2</td> <td colspan="8">EEPROM 制御レジスタ 2 (物理的には存在しない)</td> </tr> <tr> <td>8AH</td> <td>PCLATH</td> <td>-</td> <td>-</td> <td>-</td> <td colspan="5">PCの上位5ビットへの書き込みバッファ</td> </tr> <tr> <td>8BH</td> <td>INTCON</td> <td>GIE</td> <td>EEIE</td> <td>TOIE</td> <td>INTE</td> <td>RBIE</td> <td>TOIF</td> <td>INTF</td> <td>RBIF</td> </tr> </tbody> </table>	アドレス	名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	バンク 0										00H	INDF	FSRの内容のアドレスのデータメモリ (物理的には存在しない)								01H	TMRO	8ビットリアルタイム・クロック/カウンタ								02H	PCL	PCの下部8ビット								03H	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C	04H	FSR	間接データメモリアドレスポインタ								05H	PORTA	-	-	-	RA4/ TOCKI	RA3	RA2	RA1	RA0	06H	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0/INT	07H		使用しない、「0」としてリードされる								08H	EEDATA	EEPROM データレジスタ								09H	EEADR	EEPROM アドレスレジスタ								0AH	PCLATH	-	-	-	PCの上位5ビット					0BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	バンク 1										80H	INDF	FSRの内容のアドレスのデータメモリ (物理的には存在しない)								81H	OPTION_ REG	RBP0	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0	82H	PCL	PCの下部8ビット								83H	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C	84H	FSR	間接データメモリアドレスポインタ								85H	TRISA	-	-	-	PORTA データ入出力設定レジスタ					86H	TRISB	PORTB データ入出力設定レジスタ								87H		使用しない、「0」としてリードされる								88H	ECON1	-	-	-	EEIF	WRERR	WREN	WR	RD	89H	ECON2	EEPROM 制御レジスタ 2 (物理的には存在しない)								8AH	PCLATH	-	-	-	PCの上位5ビットへの書き込みバッファ					8BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0→0 (アルファベットのオーをゼロに修正)
アドレス	名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																																																																																																																																																																																																																																									
バンク 0																																																																																																																																																																																																																																																																																		
00H	INDF	FSRの内容のアドレスのデータメモリ (物理的には存在しない)																																																																																																																																																																																																																																																																																
01H	TMRO	8ビットリアルタイム・クロック/カウンタ																																																																																																																																																																																																																																																																																
02H	PCL	PCの下部8ビット																																																																																																																																																																																																																																																																																
03H	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C																																																																																																																																																																																																																																																																									
04H	FSR	間接データメモリアドレスポインタ																																																																																																																																																																																																																																																																																
05H	PORTA	-	-	-	RA4/ TOCKI	RA3	RA2	RA1	RA0																																																																																																																																																																																																																																																																									
06H	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0/INT																																																																																																																																																																																																																																																																									
07H		使用しない、「0」としてリードされる																																																																																																																																																																																																																																																																																
08H	EEDATA	EEPROM データレジスタ																																																																																																																																																																																																																																																																																
09H	EEADR	EEPROM アドレスレジスタ																																																																																																																																																																																																																																																																																
0AH	PCLATH	-	-	-	PCの上位5ビット																																																																																																																																																																																																																																																																													
0BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF																																																																																																																																																																																																																																																																									
バンク 1																																																																																																																																																																																																																																																																																		
80H	INDF	FSRの内容のアドレスのデータメモリ (物理的には存在しない)																																																																																																																																																																																																																																																																																
81H	OPTION_ REG	RBP0	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0																																																																																																																																																																																																																																																																									
82H	PCL	PCの下部8ビット																																																																																																																																																																																																																																																																																
83H	STATUS	IRP	RP1	RP0	T0	PD	Z	DC	C																																																																																																																																																																																																																																																																									
84H	FSR	間接データメモリアドレスポインタ																																																																																																																																																																																																																																																																																
85H	TRISA	-	-	-	PORTA データ入出力設定レジスタ																																																																																																																																																																																																																																																																													
86H	TRISB	PORTB データ入出力設定レジスタ																																																																																																																																																																																																																																																																																
87H		使用しない、「0」としてリードされる																																																																																																																																																																																																																																																																																
88H	ECON1	-	-	-	EEIF	WRERR	WREN	WR	RD																																																																																																																																																																																																																																																																									
89H	ECON2	EEPROM 制御レジスタ 2 (物理的には存在しない)																																																																																																																																																																																																																																																																																
8AH	PCLATH	-	-	-	PCの上位5ビットへの書き込みバッファ																																																																																																																																																																																																																																																																													
8BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF																																																																																																																																																																																																																																																																									
1,2,3,4,5,6	37	図 2.28 下 ③	タイマ0割込み	タイマ0割込み (アルファベットのオーをゼロに修正)																																																																																																																																																																																																																																																																														

該当刷数	頁	行数など	誤	正																																								
1,2,3	73	図 4.7 上	ビット 6 RPI	ビット 6 RP1																																								
1,2,3,4,5	117	図 5.11	(図の最上部) プログラムメモリ	ファイルレジスタ																																								
1,2,3,4	143	図 5.48	<table border="1"> <thead> <tr> <th>RB3</th> <th>RB2</th> <th>RB1</th> <th>RB0</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	RB3	RB2	RB1	RB0	1	1	0	0	0	1	1	0	0	0	0	1	0	0	0	1	<table border="1"> <thead> <tr> <th>RB3</th> <th>RB2</th> <th>RB1</th> <th>RB0</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> </tbody> </table>	RB3	RB2	RB1	RB0	1	1	0	0	0	1	1	0	0	0	1	1	1	0	0	1
RB3	RB2	RB1	RB0																																									
1	1	0	0																																									
0	1	1	0																																									
0	0	0	1																																									
0	0	0	1																																									
RB3	RB2	RB1	RB0																																									
1	1	0	0																																									
0	1	1	0																																									
0	0	1	1																																									
1	0	0	1																																									
1,2	151	⑧	⑧ W レジスタ, STATUS↓Z↓DC↓C↓などの回復	⑧ W レジスタ, STATUS (Z, DC, C) などの回復																																								
1,2,3,4,5,6	156	図 5.63		0→0 (アルファベットのオーをゼロに修正)																																								
1,2,3,4,5,6	156	図 5.64		0→0 (アルファベットのオーをゼロに修正)																																								
1,2	158	図 5.65	(図左上) DATA : データ設定フラグ	DATAF : データ設定フラグ																																								
1,2,3,4	158	図 5.65 左下部分	右図のように																																									
1,2,3,4,5,6	172	最下行	from PIKkit3」に…	from PICkit3」に…																																								

該当刷数	頁	行数など	誤	正																																																																																																																																																																																																																																																																														
1	197	網かけ内の の 12行目下	右の1行を挿入 (volatile unsigned char iflag;の下)	volatile unsigned char dflag; // データ設定フラグ																																																																																																																																																																																																																																																																														
1	197	網かけ内の の下から 12行目下	右の1行を挿入 (iflag = 0;の下)	dflag = 0; // データ設定フラグの初期化																																																																																																																																																																																																																																																																														
1	197	網かけ内の の下から 7行目下	右の1行を挿入 (PORTB = LEDD1;の下)	dflag = 1; // データ設定フラグ 1																																																																																																																																																																																																																																																																														
1	197	網かけ内の の下から 5行目	右の1行を挿入 (PORTB = LEDD2;の下)	dflag = 0; // データ設定フラグ 0																																																																																																																																																																																																																																																																														
1,2,3,4,5,6	204	16F84A の SFR 一覧	<table border="1"> <thead> <tr> <th>アドレス</th> <th>名称</th> <th>ビット7</th> <th>ビット6</th> <th>ビット5</th> <th>ビット4</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td colspan="10">バンク 0</td> </tr> <tr> <td>00H</td> <td>INDF</td> <td colspan="8">FSR の内容のアドレスのデータメモリ (物理的には存在しない)</td> </tr> <tr> <td>01H</td> <td>TMR0</td> <td colspan="8">8 ビットリアルタイム・クロック/カウンタ</td> </tr> <tr> <td>02H</td> <td>PCL</td> <td colspan="8">PC の下位 8 ビット</td> </tr> <tr> <td>03H</td> <td>STATUS</td> <td>IRP</td> <td>RP1</td> <td>RP0</td> <td><math>\overline{TO}</math></td> <td><math>\overline{PD}</math></td> <td>Z</td> <td>DC</td> <td>C</td> </tr> <tr> <td>04H</td> <td>FSR</td> <td colspan="8">間接データメモリアドレスポインタ</td> </tr> <tr> <td>05H</td> <td>PORTA</td> <td>-</td> <td>-</td> <td>-</td> <td>RA4/ TOCKI</td> <td>RA3</td> <td>RA2</td> <td>RA1</td> <td>RA0</td> </tr> <tr> <td>06H</td> <td>PORTB</td> <td>RB7</td> <td>RB6</td> <td>RB5</td> <td>RB4</td> <td>RB3</td> <td>RB2</td> <td>RB1</td> <td>RB0/ INT</td> </tr> <tr> <td>07H</td> <td></td> <td colspan="8">使用しない、「0」としてリードされる</td> </tr> <tr> <td>08H</td> <td>EEDATA</td> <td colspan="8">EEPROM データレジスタ</td> </tr> <tr> <td>09H</td> <td>EEADR</td> <td colspan="8">EEPROM アドレスレジスタ</td> </tr> <tr> <td>0AH</td> <td>PCLATH</td> <td>-</td> <td>-</td> <td>-</td> <td colspan="5">PC の上位 5 ビット</td> </tr> <tr> <td>0BH</td> <td>INTCON</td> <td>GIE</td> <td>EEIE</td> <td>TOIE</td> <td>INTE</td> <td>RBIE</td> <td>TOIF</td> <td>INTF</td> <td>RBFIF</td> </tr> <tr> <td colspan="10">バンク 1</td> </tr> <tr> <td>80H</td> <td>INDF</td> <td colspan="8">FSR の内容のアドレスのデータメモリ (物理的には存在しない)</td> </tr> <tr> <td>81H</td> <td>OPTION- REG</td> <td><math>\overline{RPU}</math></td> <td>INTEDG</td> <td>TOCS</td> <td>TOSE</td> <td>PSA</td> <td>PS2</td> <td>PS1</td> <td>PS0</td> </tr> <tr> <td>82H</td> <td>PCL</td> <td colspan="8">PC の下位 8 ビット</td> </tr> <tr> <td>83H</td> <td>STATUS</td> <td>IRP</td> <td>RP1</td> <td>RP0</td> <td><math>\overline{TO}</math></td> <td><math>\overline{PD}</math></td> <td>Z</td> <td>DC</td> <td>C</td> </tr> <tr> <td>84H</td> <td>FSR</td> <td colspan="8">間接データメモリアドレスポインタ</td> </tr> <tr> <td>85H</td> <td>TRISA</td> <td>-</td> <td>-</td> <td>-</td> <td colspan="5">PORTA データ入出力設定レジスタ</td> </tr> <tr> <td>86H</td> <td>TRISB</td> <td colspan="8">PORTB データ入出力設定レジスタ</td> </tr> <tr> <td>87H</td> <td></td> <td colspan="8">使用しない、「0」としてリードされる</td> </tr> <tr> <td>88H</td> <td>EEDCOM1</td> <td>-</td> <td>-</td> <td>-</td> <td>EEIF</td> <td>WRERR</td> <td>WREN</td> <td>WR</td> <td>RD</td> </tr> <tr> <td>89H</td> <td>EEDCOM2</td> <td colspan="8">EEPROM 制御レジスタ 2 (物理的には存在しない)</td> </tr> <tr> <td>8AH</td> <td>PCLATH</td> <td>-</td> <td>-</td> <td>-</td> <td colspan="5">PC の上位 5 ビットへの書き込みバッファ</td> </tr> <tr> <td>8BH</td> <td>INTCON</td> <td>GIE</td> <td>EEIE</td> <td>TOIE</td> <td>INTE</td> <td>RBIE</td> <td>TOIF</td> <td>INTF</td> <td>RBFIF</td> </tr> </tbody> </table>	アドレス	名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	バンク 0										00H	INDF	FSR の内容のアドレスのデータメモリ (物理的には存在しない)								01H	TMR0	8 ビットリアルタイム・クロック/カウンタ								02H	PCL	PC の下位 8 ビット								03H	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	04H	FSR	間接データメモリアドレスポインタ								05H	PORTA	-	-	-	RA4/ TOCKI	RA3	RA2	RA1	RA0	06H	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0/ INT	07H		使用しない、「0」としてリードされる								08H	EEDATA	EEPROM データレジスタ								09H	EEADR	EEPROM アドレスレジスタ								0AH	PCLATH	-	-	-	PC の上位 5 ビット					0BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBFIF	バンク 1										80H	INDF	FSR の内容のアドレスのデータメモリ (物理的には存在しない)								81H	OPTION- REG	$\overline{RPU}$	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0	82H	PCL	PC の下位 8 ビット								83H	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	84H	FSR	間接データメモリアドレスポインタ								85H	TRISA	-	-	-	PORTA データ入出力設定レジスタ					86H	TRISB	PORTB データ入出力設定レジスタ								87H		使用しない、「0」としてリードされる								88H	EEDCOM1	-	-	-	EEIF	WRERR	WREN	WR	RD	89H	EEDCOM2	EEPROM 制御レジスタ 2 (物理的には存在しない)								8AH	PCLATH	-	-	-	PC の上位 5 ビットへの書き込みバッファ					8BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBFIF	0→0 (アルファベットのオーをゼロに修正)
アドレス	名称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0																																																																																																																																																																																																																																																																									
バンク 0																																																																																																																																																																																																																																																																																		
00H	INDF	FSR の内容のアドレスのデータメモリ (物理的には存在しない)																																																																																																																																																																																																																																																																																
01H	TMR0	8 ビットリアルタイム・クロック/カウンタ																																																																																																																																																																																																																																																																																
02H	PCL	PC の下位 8 ビット																																																																																																																																																																																																																																																																																
03H	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C																																																																																																																																																																																																																																																																									
04H	FSR	間接データメモリアドレスポインタ																																																																																																																																																																																																																																																																																
05H	PORTA	-	-	-	RA4/ TOCKI	RA3	RA2	RA1	RA0																																																																																																																																																																																																																																																																									
06H	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0/ INT																																																																																																																																																																																																																																																																									
07H		使用しない、「0」としてリードされる																																																																																																																																																																																																																																																																																
08H	EEDATA	EEPROM データレジスタ																																																																																																																																																																																																																																																																																
09H	EEADR	EEPROM アドレスレジスタ																																																																																																																																																																																																																																																																																
0AH	PCLATH	-	-	-	PC の上位 5 ビット																																																																																																																																																																																																																																																																													
0BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBFIF																																																																																																																																																																																																																																																																									
バンク 1																																																																																																																																																																																																																																																																																		
80H	INDF	FSR の内容のアドレスのデータメモリ (物理的には存在しない)																																																																																																																																																																																																																																																																																
81H	OPTION- REG	$\overline{RPU}$	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0																																																																																																																																																																																																																																																																									
82H	PCL	PC の下位 8 ビット																																																																																																																																																																																																																																																																																
83H	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C																																																																																																																																																																																																																																																																									
84H	FSR	間接データメモリアドレスポインタ																																																																																																																																																																																																																																																																																
85H	TRISA	-	-	-	PORTA データ入出力設定レジスタ																																																																																																																																																																																																																																																																													
86H	TRISB	PORTB データ入出力設定レジスタ																																																																																																																																																																																																																																																																																
87H		使用しない、「0」としてリードされる																																																																																																																																																																																																																																																																																
88H	EEDCOM1	-	-	-	EEIF	WRERR	WREN	WR	RD																																																																																																																																																																																																																																																																									
89H	EEDCOM2	EEPROM 制御レジスタ 2 (物理的には存在しない)																																																																																																																																																																																																																																																																																
8AH	PCLATH	-	-	-	PC の上位 5 ビットへの書き込みバッファ																																																																																																																																																																																																																																																																													
8BH	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBFIF																																																																																																																																																																																																																																																																									

該当刷数	頁	行数など	誤	正
1	206	下から 1行目	… 芥井滋喜 著 …	… <u>芹</u> 井滋喜 著 …